

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Hiroyuki OHTA**

Serial Number: **Not Yet Assigned**

Filed: **November 26, 2003**

**Customer No.: 38834**

For: **SEMICONDUCTOR DEVICE HAVING STI WITHOUT DIVOT AND ITS  
MANUFACTURE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

November 26, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-376009, filed on December 26, 2002.**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian

Reg. No. 32,878

Atty. Docket No.: 032117  
Suite 700  
1250 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/yap

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年12月26日

出願番号 Application Number: 特願2002-376009

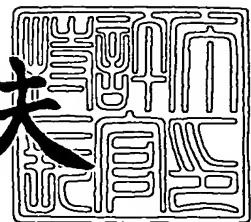
[ST. 10/C]: [JP2002-376009]

出願人 Applicant(s): 富士通株式会社

2003年 9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0241372  
【提出日】 平成14年12月26日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/94  
【発明の名称】 半導体装置の製造方法と半導体装置  
【請求項の数】 10  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 大田 裕之  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100091340  
【弁理士】  
【氏名又は名称】 高橋 敬四郎  
【電話番号】 03-3832-8095  
【選任した代理人】  
【識別番号】 100105887  
【弁理士】  
【氏名又は名称】 来山 幹雄  
【電話番号】 03-3832-8095  
【手数料の表示】  
【予納台帳番号】 009852  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法と半導体装置

【特許請求の範囲】

【請求項 1】 (a) 半導体基板表面に素子分離用トレンチ形成のための窓を有する第1の塗化シリコン膜を含むパターンを形成する工程と、  
(b) 前記パターンをマスクとして、前記半導体基板をエッチングして素子分離用トレンチを形成する工程と、  
(c) 前記素子分離用トレンチの内面を覆うように第2の塗化シリコン膜を堆積する工程と、  
(d) 前記第2の塗化シリコン膜を覆い、トレンチを埋め込むように第1の酸化シリコン膜を形成する工程と、  
(e) 前記第1の酸化シリコン膜をエッチングし、トレンチ内上部の前記第1の酸化シリコン膜を除去する工程と、  
(f) 前記トレンチを埋め込むように第2の酸化シリコン膜を形成する工程と、  
(g) 露出した前記第2の塗化シリコン膜をエッチングして除去する工程と、  
(h) 前記トレンチを埋め込むように第2の酸化シリコン膜を形成する工程と、  
(i) 前記第1の塗化シリコン膜をストップとして、前記第2の酸化シリコン膜を化学機械研磨する工程と、  
(j) 露出した前記第1の塗化シリコン膜をエッチングして除去する工程と、を含む半導体装置の製造方法。

【請求項 2】 さらに、

(e) 前記工程 (f) の前に、前記第2の塗化シリコン膜上の前記第1の酸化シリコン膜を化学機械研磨し、平坦な表面を形成する工程、を含む請求項1記載の半導体装置の製造方法。

【請求項 3】 前記工程 (g) は、前記半導体基板表面から 80 ~ 150 nmまでの前記第2の塗化シリコン膜を除去する請求項1または2記載の半導体装置の製造方法。

【請求項 4】 さらに、

(k) 前記工程 (d) の後、アニールして前記第1の酸化シリコン膜の粗密差

を減少させる工程、

を含む請求項1～3のいずれか1項記載の半導体装置の製造方法。

【請求項5】 さらに、

(k) 前記工程(h)の後、アニールして前記第2の酸化シリコン膜を緻密化する工程、

を含む請求項1～4のいずれか1項記載の半導体装置の製造方法。

【請求項6】 前記工程(g)が、露出した前記第2の塗化シリコン膜をエッチングした後、さらにオーバーエッチを行い、活性領域上の前記第1の塗化シリコン膜の側面を後退させると共に、上面も低下させる請求項1～5のいずれか1項記載の半導体装置の製造方法。

【請求項7】 前記工程(a)が、前記第1の塗化シリコン膜の上にエッチング特性の異なるカバー層を積層し、前記工程(g)が、露出した前記第2の塗化シリコン膜をエッチングした後、さらにオーバーエッチを行い、活性領域上の前記第1の塗化シリコン膜の上面は低下させずに、側面を後退させる請求項1～5のいずれか1項記載の半導体装置の製造方法。

【請求項8】 さらに、

(l) 前記工程(g)の後、前記工程(h)の前にトレンチ下部に残っている前記第1の酸化シリコン膜を除去する工程、  
を含み、前記工程(h)が、前記第2の塗化シリコン膜で囲まれた領域にボイドを形成するように前記第2の酸化シリコン膜を形成する請求項1～6のいずれか1項記載の半導体装置の製造方法。

【請求項9】 半導体基板と、

前記半導体基板表面から内部に形成された素子分離用トレンチと、

前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成された塗化シリコン膜のライナーと、

前記塗化シリコン膜のライナーで囲まれた領域に形成され、トレンチの下部を埋める第1の酸化シリコン膜と、

前記第1の酸化シリコン膜の上に形成されトレンチの上部を埋める第2の酸化シリコン膜と、

を有する半導体装置。

【請求項 10】 半導体基板と、

前記半導体基板表面から内部に形成された素子分離用トレンチと、

前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成された窒化シリコン膜のライナーと、

前記窒化シリコン膜のライナーで囲まれた領域にボイドを形成して、トレンチを埋める酸化シリコン膜と、

を有する半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法と半導体装置に関し、特にシャロートレンチアイソレーション（S T I）を有する半導体装置の製造方法と半導体装置に関する。

【0002】

【従来の技術】

半導体装置における素子分離方法の一つとして、局所酸化（local oxidation of silicon、L O C O S）が知られている。

【0003】

局所酸化は、シリコン基板上にバッファ層として酸化シリコン膜を形成した後、窒化シリコン膜を酸化防止マスク層として形成し、窒化シリコン膜をパターニングした後シリコン基板の表面を酸化シリコン膜を介して熱酸化する技術である。

【0004】

シリコン基板を熱酸化する際、酸素、水分等の酸化種が窒化シリコン膜下のバッファ酸化シリコン膜中にも侵入し、窒化シリコン膜下のシリコン基板表面も酸化させ、バーズピークと呼ばれる鳥の嘴状の酸化シリコン領域を形成する。バーズピークの形成された領域は、実質的に素子形成領域（活性領域）として使用できなくなるため、素子形成領域が狭くなる。

**【0005】**

又、種々の寸法の開口を有する塗化シリコン膜を形成し、基板表面を熱酸化すると、開口部寸法の狭いシリコン基板表面に形成される酸化シリコン膜の厚さは開口部寸法の広いシリコン基板表面に形成される酸化シリコン膜よりも小さくなる。これをシニング（thinning）と呼ぶ。

**【0006】**

半導体装置の微細化に伴い、バーズピークやシニングにより、半導体基板の全面積中で素子形成領域として使用できない面積が増加する。すなわち、素子形成領域が狭められる割合が増加し、半導体装置の高集積化の妨げとなる。

**【0007】**

素子分離領域を形成する技術として、半導体基板表面にトレンチを形成し、トレンチ内に絶縁物や多結晶シリコンを埋め込むトレンチアイソレーション（T I）技術が知られている。この方法は、従来、深い素子分離領域を必要とするバイポーラトランジスタLSIに用いられていた。

**【0008】**

バーズピーク、シニングが共に生じないため、トレンチアイソレーションのMOSトランジスタLSIへの適用が進んでいる。MOSトランジスタLSIでは、バイポーラトランジスタLSI程深い素子分離は必要としないため、深さ0.1～1.0  $\mu\text{m}$ 程度の比較的浅い溝で素子分離を行うことができる。この構造をシャロートレンチアイソレーション（S T I）と呼ぶ。

**【0009】**

図15、図16を参照して、S T I形成工程について説明する。

図15（A）に示すように、シリコン基板1表面上に、例えば厚さ10nmの酸化シリコン膜2を熱酸化により形成する。この酸化シリコン膜2の上に、例えば厚さ100～150nmの塗化シリコン膜3を化学気相堆積（CVD）により形成する。酸化シリコン膜2は、シリコン基板1と塗化シリコン膜3の間の応力を緩和するバッファ層として機能する。塗化シリコン膜3は、後の研磨工程においてストップ層として機能する。

**【0010】**

塗化シリコン膜3の上に、レジストパターン4を形成する。レジストパターン4の画定する開口部は、素子分離領域を形成する領域を画定する。レジストパターン4下方のシリコン基板の領域は、素子を形成する活性領域となる。

#### 【0011】

レジストパターン4をエッチングマスクとし、開口部に露出した塗化シリコン膜3、その下の酸化シリコン膜2、その下のシリコン基板1をリアクティブイオンエッチング（R I E）により例えば深さ $0.5\mu\text{m}$ 程度エッチングし、トレンチ6を形成する。

#### 【0012】

図15（B）に示すように、トレンチ6内に露出したシリコン基板表面を熱酸化し、例えば厚さ $10\text{nm}$ の熱酸化シリコン膜7を形成する。

図15（C）に示すように、例えば高密度プラズマ（H D P）C V Dにより、トレンチを埋め込んでシリコン基板上に酸化シリコン膜9を形成する。素子分離領域となる酸化シリコン膜9を緻密化するために、例えば窒素雰囲気中 $900\sim1100^\circ\text{C}$ でシリコン基板をアニールする。

#### 【0013】

図15（D）に示すように、塗化シリコン膜3をストップとし、上方から化学機械研磨（C M P）又はリアクティブイオンエッチング（R I E）により、酸化シリコン膜9を研磨する。塗化シリコン膜3によって画定されるトレンチ内にのみ、酸化シリコン膜9が残る。この段階で、酸化シリコン緻密化用のアニールを行なってもよい。

#### 【0014】

図16（E）に示すように、熱リン酸を用いて塗化シリコン膜3を除去する。次に、希フッ酸を用いて、シリコン基板1表面上のバッファ酸化シリコン膜2を除去する。この時、トレンチを埋め込む酸化シリコン膜9もエッチングされる。

#### 【0015】

図16（F）に示すように、シリコン基板1の表面を熱酸化し、表面に犠牲酸化シリコン膜22を形成する。犠牲酸化シリコン膜を介してシリコン基板1表面層に所望導電型の不純物をイオン注入し、活性化してシリコン基板1に所望導電

型のウェル領域10を形成する。その後希フッ酸を用い、犠牲酸化シリコン膜22は除去する。犠牲酸化シリコン膜を除去する際、希フッ酸により酸化シリコン膜9もエッチングされる。

#### 【0016】

図16（G）に示すように、露出したシリコン基板の表面を熱酸化し、所望厚さの酸化シリコン膜11を形成し、ゲート絶縁膜とする。シリコン基板1上に多結晶シリコン膜12を堆積し、パターニングしてゲート電極を形成する。ウェル領域10と逆導電型の不純物をイオン注入し、活性化してソース／ドレイン領域を形成する。必要に応じ、ゲート電極側壁上にサイドウォールスペーサを形成し、再度逆導電型の不純物をイオン注入し、活性化して高濃度ソース／ドレイン領域を形成する。

#### 【0017】

トレンチ内に酸化シリコンを埋め込み、緻密化のための熱処理を行なうと、酸化シリコン膜9は緻密化すると共に収縮し、この酸化シリコン膜9で囲まれた素子形成領域は圧縮ストレスを受ける。

#### 【0018】

圧縮ストレスが印加されると、シリコン基板1の活性領域における電子の移動度が大きく低下し得る。このため、飽和ドレイン電流が低下する。素子の微細化に伴い、活性領域が小さくなると、圧縮ストレスの影響は大きくなる。

#### 【0019】

図16（G）に示すように、素子分離領域9の肩部がエッチングされてディボットが形成されると、シリコン基板の素子形成領域肩部が上面のみならず側面からもゲート電極で囲まれる。このような形状となると、素子形成領域の肩部は、ゲート電極に電圧を印加すると、電界集中を受け、より低い閾値電圧を有するトランジスタを形成する。この寄生トランジスタは、I-V特性にハンプ特性を発生させる。

#### 【0020】

ディボットの発生を減少させ、ハンプ特性を防止するために、トレンチ内面上に酸化シリコン膜を介して窒化シリコン膜を形成し、一旦トレンチ内にマスク材

料を充填し、トレンチ内のマスク材料の表面レベルが半導体基板の表面レベルより下になるようにエッチングし、露出したトレンチ内面上部の塗化シリコン膜を除去する方法が提案されている。

### 【0021】

#### 【特許文献 1】

特開平11-297812号公報

### 【0022】

#### 【発明が解決しようとする課題】

STIによる素子分離は、微細化に適しているが、STI独自の問題も生じる。STI独自の問題を低減することのできる新たな技術が求められている。

### 【0023】

本発明の目的は、良好なトランジスタ特性が得られる、STIを用いた半導体装置の製造方法を提供することである。

本発明の他の目的は、良好なトランジスタ特性を有する半導体装置を提供することである。

### 【0024】

#### 【課題を解決するための手段】

本発明の1観点によれば、(a) 半導体基板表面に素子分離用トレンチ形成のための窓を有する第1の塗化シリコン膜を含むパターンを形成する工程と、(b) 前記パターンをマスクとして、前記半導体基板をエッチングして素子分離用トレンチを形成する工程と、(c) 前記素子分離用トレンチの内面を覆うように第2の塗化シリコン膜を堆積する工程と、(d) 前記第2の塗化シリコン膜を覆い、トレンチを埋め込むように第1の酸化シリコン膜を形成する工程と、(f) 前記第1の酸化シリコン膜をエッチングし、トレンチ内上部の前記第1の酸化シリコン膜を除去する工程と、(g) 露出した前記第2の塗化シリコン膜をエッチングして除去する工程と、(h) 前記トレンチを埋め込むように第2の酸化シリコン膜を形成する工程と、(i) 前記第1の塗化シリコン膜をストップとして、前記第2の酸化シリコン膜を化学機械研磨する工程と、(j) 露出した前記第1の塗化シリコン膜をエッチングして除去する工程と、を含む半導体装置の製造方法が

提供される。

### 【0025】

本発明の他の観点によれば、半導体基板と、前記半導体基板表面から内部に形成された素子分離用トレンチと、前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成された窒化シリコン膜のライナーと、前記窒化シリコン膜のライナーで囲まれた領域に形成され、トレンチの下部を埋める第1の酸化シリコン膜と、前記第1の酸化シリコン膜の上に形成されトレンチの上部を埋める第2の酸化シリコン膜と、を有する半導体装置が提供される。

### 【0026】

本発明のさらに他の観点によれば、半導体基板と、前記半導体基板表面から内部に形成された素子分離用トレンチと、前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成された窒化シリコン膜のライナーと、前記窒化シリコン膜のライナーで囲まれた領域にボイドを形成して、トレンチを埋める酸化シリコン膜と、を有する半導体装置が提供される。

### 【0027】

#### 【発明の実施の形態】

本発明者は、トレンチ内に窒化シリコン膜のライナー層を設け、引張り応力を発生させることにより酸化シリコン膜の圧縮応力を相殺する方法を研究している。トレンチ内面に窒化シリコン膜のライナーを形成した後、半導体基板表面から一定距離の窒化シリコン膜を除去することにより、ドレイン電流がどのように変化するか、又窒化シリコン膜の厚さにより、トレンチ電流がどのように変化するかを調べた。

### 【0028】

図1 (A) は、半導体基板表面からの窒化シリコン膜の引下り量であるリセス量  $r$  による、ドレイン電流  $I_d$  の変化をシミュレーションで求めた結果を示すグラフである。なお、窒化シリコン膜の膜厚は 100 nm とし、ゲート電圧  $V_g$  は 1.2 V、ドレイン電圧  $V_d$  は 0.01 V とした。

### 【0029】

図から明らかなように、リセス量  $r$  を 0 から増大していくと、ドレイン電流  $I$

$d$  は上昇する。リセス量  $r$  の増大と共に、ドレイン電流  $I_d$  の増加は飽和し、その後減少する。このように、リセス量  $r$  の変化に対し、ドレイン電流  $I_d$  はピーク特性を有する。リセス量  $r$  が 80 ~ 150 nm の時、ドレイン電流  $I_d$  は最も大きい。

### 【0030】

図1 (B) は、塗化シリコン膜厚の変化に対するドレイン電流  $I_d$  の変化をシミュレーションで求めた結果を示すグラフである。なお、リセス量  $r$  は 80 nm とし、ゲート電圧  $V_g$  は 1.2 V、ドレイン電圧  $V_d$  は 0.01 V とした。図から明らかに、塗化シリコン膜の厚さが増大するにつれ、ドレイン電流  $I_d$  は増加している。すなわち、塗化シリコン膜のライナー厚は厚いほどドレイン電流を向上させる効果が認められる。トレンチの幅が 100 nm 以下となると、ライナーとして用いる塗化シリコン膜の厚さは 20 ~ 40 nm が好ましいであろう。

### 【0031】

これらのシミュレーション結果に基づき、トレンチ内面に塗化シリコン膜のライナーを形成し、トレンチ上部における塗化シリコン膜ライナーを除去し、ドレイン電流の増大を実現する実施例を以下に説明する。

### 【0032】

図2 (A) ~ 図4 (J) は、本発明の第1の実施例による STI 素子分離領域の製造方法を概略的に示す断面図である。

図2 (A) に示すように、シリコン基板1の表面上に、厚さ 3 ~ 21 nm、例えば厚さ 10 nm の酸化シリコン膜 2 を熱酸化により形成する。酸化シリコン膜 2 の上に、厚さ 100 ~ 150 nm、例えば厚さ 100 nm の塗化シリコン膜 3 を低圧 (LPCVD) 化学気相堆積 (CVD) により形成する。LPCVD は、例えばソースガスとして SiCl<sub>2</sub>H<sub>2</sub> と NH<sub>3</sub> を用い、温度 700 °C で行う。

### 【0033】

塗化シリコン膜 3 の上に、レジスト膜を塗布し、露光現像することによりレジストパターン 4 を形成する。レジストパターン 4 は、活性領域 (素子形成領域) 上に形成され、開口部が素子分離領域を画定する。開口部の幅は、0.1 ~ 5 μ

m、例えば0.1 μmである。

#### 【0034】

レジストパターン4をエッティングマスクとし、塗化シリコン膜3、酸化シリコン膜2、シリコン基板1をエッティングする。シリコン基板1は、例えば深さ0.3 μmエッティングされてトレンチ6を形成する。なお、塗化シリコン膜、酸化シリコン膜のエッティングは、CF<sub>4</sub>、CHF<sub>3</sub>、Arの混合ガスをエッティングガスとして用いる。シリコン基板1のエッティングは、HBr、O<sub>2</sub>の混合ガス、又はCl<sub>2</sub>、O<sub>2</sub>の混合ガスをエッティングガスとして用いる。

#### 【0035】

このエッティング条件によれば、形成されるトレンチ6の側面が傾斜する。傾斜を設けることにより、活性領域の肩部における電界集中を緩和させることができ。その後レジストパターン4は除去する。

#### 【0036】

図2 (B) に示すように、トレンチ6の表面に露出したシリコン基板表面を熱酸化して厚さ1～20 nm、例えば厚さ10 nmの酸化シリコン膜7を形成する。トレンチ6内に露出していったシリコン表面は、全て酸化シリコン膜7により覆われる。

#### 【0037】

図2 (C) に示すように、酸化シリコン膜7、塗化シリコン膜3の表面を覆うように、塗化シリコン膜8をLPCVDにより形成する。塗化シリコン膜8の厚さは、20～40 nm、たとえば20 nmとする。塗化シリコン膜は厚いほど強い引張り応力を発生する。トレンチの幅との関係で最大厚さは決まる。

#### 【0038】

LPCVDは、SiCl<sub>2</sub>H<sub>2</sub>、NH<sub>3</sub>の混合ガスをソースガスとし、温度650℃程度で行う。このような熱CVDにより形成される塗化シリコン膜は、1 GPa以上の引張り(tensile)応力を有する。この応力は、後述する緻密化の熱処理を行った埋設酸化シリコン膜の応力と逆方向である。

#### 【0039】

図2 (D) に示すように、塗化シリコン膜8を形成した基板上に例えば誘導結

合プラズマCVD装置を用いた高密度プラズマ（HDP）CVDにより、酸化シリコン膜9aを形成し、トレンチ内を埋め込む。HDP酸化シリコン膜の形成は、SiH<sub>4</sub>と酸素の混合ガス、又はTEOSとオゾンの混合ガスをソースガスとして行う。なお、酸化シリコン膜9aの厚さは、トレンチを完全に埋めるように選択する。CVDによる酸化シリコン膜の形成に代え、スピンドルガラス（SG）の塗布型酸化シリコン膜を用いることも可能であろう。

#### 【0040】

図3（E）に示すように、化学機械研磨（CMP）を行い、塗化シリコン膜8上の酸化シリコン膜9aを一部除去し、塗化シリコン膜8の上方20～100nmで止め、平坦な表面を形成する。例えば、塗化シリコン膜8の表面までCMPを行い、塗化シリコン膜8をCMPのストップとして機能させる。

#### 【0041】

CMPは、回転する上下の定盤の間にシリコン基板を挟んで行う。上下の定盤の回転速度を例えばそれぞれ20rpm、上下の定盤間の圧力を例えば5psi、バックプレッシャーを例えば5psiとし、研磨剤としてコロイダルシリカを主成分とするスラリ、又は酸化セリウム系スラリを用いる。このような研磨条件の場合、塗化シリコン膜3のエッチングレートは小さく、塗化シリコン膜3が研磨のストップとして機能する。

#### 【0042】

酸化シリコン膜9の成長後、または化学機械研磨工程後、例えば約1000℃、30分のアニールを行ない、酸化シリコン膜9の粗密差を解消する。酸化シリコン膜9aが均質化し、エッチング特性も均質化する。

#### 【0043】

図3（F）に示すように、例えば希フッ酸で2000秒のエッチングを行い、トレンチ上部の酸化シリコン膜9aを除去する。液相エッチングにより、酸化シリコン膜9aの表面が平坦性を保つつ、沈み込んでいく。なお、液相エッチングに代え、例えばCF系ガスを用いた化学ドライエッチング（CDE）を用いてもよい。

#### 【0044】

なお、化学機械研磨工程は必須の工程ではない。例えば、平坦化機能を有する酸化シリコン膜を成膜し、化学機械研磨はせず、エッチングを行うこともできる。リアクティブイオネッティング（R I E）で塗化シリコン膜8上の酸化シリコン膜9aをエッチングした後、トレンチ内の酸化シリコン膜9aをCDEでエッチングすることもできる。リセス量のバラツキが若干増加しても、工程が簡単化でき、製造コストを低減化できる。

#### 【0045】

図3（E）、（F）の工程で、酸化シリコン膜9aが除去された領域では、塗化シリコン膜8が露出する。

図3（G）に示すように、露出した塗化シリコン膜8を磷酸（H<sub>3</sub>PO<sub>4</sub>）ボイルによりエッチングする。厚さ20nmのライナー塗化シリコン膜8が完全にエッチングされ、マスク用の塗化シリコン膜3は未だほとんどエッチングされていない状態を示す。塗化シリコンが除去された、シリコン基板1表面からのリセス量rは、主としてその前の酸化シリコン膜9aのエッチング深さによって制御される。深さ300nmのトレンチの場合、例えばシリコン基板1表面から深さ110nmまでの塗化シリコン膜8を除去する。

#### 【0046】

ライナー用塗化シリコン膜8をシリコン基板表面から80～150nm引き下げるにより、MOSトランジスタのドレイン電流増加が期待できる。

図4（H）に示すように、例えば厚さ300nmの酸化シリコン膜9bを前述同様のH D P C V Dにより堆積し、トレンチを埋め込む。塗化シリコン膜3表面上にも酸化シリコン膜9bが堆積する。

#### 【0047】

図3（I）に示すように、前述同様のCMPを行い、塗化シリコン膜3上の酸化シリコン膜9bを除去する。塗化シリコン膜3がCMPのストップとして機能する。なお、塗化シリコン膜3上の酸化シリコン膜9をCMPで除去する場合を説明したが、CF<sub>4</sub>とCHF<sub>3</sub>の混合ガスを用いたR I Eを用いてもよい。

#### 【0048】

不要な酸化シリコン膜を除去した後、たとえば1000℃、30分のアニール

を行い、酸化シリコン膜9Bを緻密化する。既にアニールを受けている酸化シリコン膜9aもさらに緻密化する。なお、CMP前にアニールを行ってもよい。

#### 【0049】

アニールを経たトレンチ内の酸化シリコン膜9の膜質は熱酸化膜とほぼ同じになる。緻密化された酸化シリコン膜は、圧縮応力を生じるが、この圧縮応力と塗化シリコン膜の引張り応力は逆方向であり、圧縮応力は引張り応力により相殺される。圧縮応力による移動度の低下が低減される。

#### 【0050】

図4（J）に示すように、マスク用塗化シリコン膜3を前述同様の磷酸（H<sub>3</sub>PO<sub>4</sub>）ボイルにより除去する。ライナー用塗化シリコン膜8は、シリコン基板1表面から引き下げられ、酸化シリコン膜9で覆われているのでエッチングされない。ライナー用塗化シリコン膜がエッチングされることによるディボットの発生は防止される。このようにして、STI素子分離領域が形成される。その後、レジストマスクを用いてイオン注入を行い、nウェルW<sub>n</sub>、pウェルW<sub>p</sub>を形成する。酸化シリコン膜2を除去し、新たな犠牲酸化膜を形成してからイオン注入を行ってもよい。その後、通常の工程により、MOSトランジスタなどの半導体素子を形成する。

#### 【0051】

図5（A）は、素子分離領域9により画定された活性領域AR1、AR2と、シリコン基板表面に形成されたゲート電極12の形状を示す平面図である。ゲート電極構造はサイドウォールスペーサ形成前の形状である。図4（B）は、図4（A）のIVB-IVB線に沿う断面図を示す。各活性領域ARは素子分離領域9により囲まれている。2つの活性領域AR1、AR2によりCMOSインバータが構成される。nチャネルMOSトランジスタ、pチャネルMOSトランジスタが形成されるが、nチャネルMOSトランジスタを例にとって説明する。

#### 【0052】

図5（B）に示すように、各活性領域上に、熱酸化により例えば厚さ2nmのゲート絶縁膜11が形成され、その上に化学気相体積（CVD）により例えば厚さ100nmの多結晶シリコン層12が形成される。多結晶シリコン層上にホト

レジストマスクを形成し、リアクティブイオンエッティング（R I E）により多結晶シリコン層12をパターニングして例えばゲート長80nmのゲート電極Gを形成する。

#### 【0053】

pチャネル領域をレジストマスクで覆い、p型ウェルW<sub>p</sub>と逆導電型のn型不純物のイオン注入を行い、浅い低濃度n型エクステンション領域E<sub>x</sub>を形成する。必要に応じてこの後、ウェルと同導電型のp型不純物を例えば基板法線から28度傾いた4方向から斜めイオン注入し、p型ポケット領域P<sub>t</sub>を形成する。pチャネル領域に対しては、導電型を反転した処理が行われる。

#### 【0054】

基板上に酸化シリコン膜、又は酸化シリコン膜と窒化シリコン膜の積層を堆積し、R I Eで異方性エッティングし、サイドウォールスペーサS<sub>W</sub>を形成する。pチャネル領域をレジストマスクで覆い、pウェルと逆導電型のn型不純物を高濃度にイオン注入し、高濃度n型ソース／ドレイン領域S／Dを形成する。pチャネル領域に対しては導電型を反転した処理が行われる。

#### 【0055】

コバルト、又はチタンの金属層を堆積し、例えば2段階シリサイド反応を生じさせて、シリサイド層13を形成する。このようにして、MOSトランジスタが形成される。なお、MOSトランジスタの形成方法は、他の公知の方法を用いてもよい。

#### 【0056】

第1の実施例においては、窒化シリコン膜ライナー8を酸化シリコン膜中に埋め込むことにより、ストップ用の窒化シリコン膜3のエッティング時におけるディボットの発生は防止された。しかしながら、酸化シリコン膜除去の際STI埋め込み用酸化シリコン膜9のエッティングは避けられず、このことに起因するディボットの発生が生じ得る。

#### 【0057】

図6(A)～(D)は、酸化シリコン膜エッティング時にディボットの発生を防止し得る第2の実施例を示す。

先ず、第1の実施例における図2（A）～図3（G）までの工程を同様に行う。

#### 【0058】

図6（A）に示すように、例えば厚さ20nmの塗化シリコン膜8のライナーのエッチングにおいて、例えば厚さ10nm分のオーバーエッチング（厚さ30nmに相当する全エッチング量）を行なう。オーバーエッチングにより、塗化シリコン膜8が残った酸化シリコン膜9aの表面からさらに下方にエッチングされると共に、酸化シリコン膜2上のストップ用塗化シリコン膜3も上面及び側面がエッチングされる。すなわち、塗化シリコン膜3の側面は、活性領域1の肩から例えば10nm後退する。

#### 【0059】

図6（B）に示すように、第2の酸化シリコン膜9bを第1の実施例同様に堆積する。

図6（C）に示すように、第2の酸化シリコン膜9bをCMPすることにより、塗化シリコン膜3上の酸化シリコン膜9bを除去する。なお、塗化シリコン膜は、このCMP工程において、ストッパーとしての機能が果たせるように、初期の厚さを選択することが好ましい。

#### 【0060】

図6（D）に示すように、磷酸ボイルにより塗化シリコン膜3を除去する。活性領域の肩部Shは、埋込用酸化シリコン膜9によって覆われている。酸化シリコン膜2を希フッ酸で除去しても、酸化シリコン膜9が若干エッチされるが、活性領域の肩部Shの外側にディボットが形成されることは防止できる。

#### 【0061】

別の観点から言えば、図6（A）に示すオーバーエッチングの量は、その後に行なわれる希フッ酸処理によるエッチング量の総和よりも大きめに設定することが好ましい。例えば、厚さ2nmの酸化シリコンをエッチングする工程が2回ある場合、オーバーエッチング量も考慮すると、6nm～12nm側面を後退させることが好ましいであろう。

#### 【0062】

図7（A）～図9（J）は、第3の実施例によるSTIの製造方法を示す。

図7（A）に示すように、シリコン基板1の表面を酸化して酸化シリコン膜2を形成し、その上に塗化シリコン膜3を形成する。これらの工程は、第1の実施例と同様である。さらに、塗化シリコン膜3の上に、例えば厚さ約50nmの酸化シリコン膜5をLPCVDにより成膜する。酸化シリコン膜5の上に、レジストパターンを形成し、酸化シリコン膜5、塗化シリコン膜3、酸化シリコン膜2をエッティングし、さらにシリコン基板1を例えば深さ300nmエッティングしてトレンチ6を形成する。

#### 【0063】

図7（B）に示すように、トレンチ6内に露出したシリコン基板1表面を熱酸化し、例えば厚さ5nmの酸化シリコン膜7を形成する。

図7（C）に示すように、酸化シリコン膜7を形成したトレンチ内面を覆うように、ライナー用塗化シリコン膜8を例えばLPCVDにより厚さ約20nm形成する。

#### 【0064】

図7（D）に示すように、トレンチ内を埋め込むように、酸化シリコン膜9aをHDP-CVDにより成膜する。

図8（E）に示すように、塗化シリコン膜8上の酸化シリコン膜8aをCMPで研磨して平坦な表面を形成し、酸化シリコン膜5上方20～100nmの位置で停止させる。例えば、塗化シリコン膜8の表面を露出させる。

#### 【0065】

図8（F）に示すように、酸化シリコン膜9aを希フッ酸によりエッティングし、シリコン基板1表面から例えば110nmのレベルまで沈み込ませる。

図8（G）に示すように、磷酸ボイルによりライナー用塗化シリコン膜8の露出部分をエッティングする。塗化シリコン膜8は、トレンチ下部にのみ残る。塗化シリコン膜8のシリコン基板1表面からのリセス量は、酸化シリコン膜9aのエッティング量によって制御される。

#### 【0066】

図9（H）に示すように、塗化シリコン膜8がトレンチ下部にのみ残された状

態において、酸化シリコン膜9 bを例えば厚さ300 nm H D P C V Dにより成膜する。トレンチ内は酸化シリコン膜9 bにより埋め戻される。

#### 【0067】

図9 (I)に示すように、C M Pにより酸化シリコン膜9 b、5を研磨する。このC M Pにおいて、塗化シリコン膜3がストップとして機能する。その後、例えば1000°C、30分間のアニールを行い、酸化シリコン膜9を緻密化する。

#### 【0068】

図9 (J)に示すように、磷酸ボイルによりストップ用塗化シリコン膜3を除去する。塗化シリコン膜3が除去された表面は、全て酸化シリコン膜で覆われており、ライナー用塗化シリコン膜がエッチングされてディボットが発生することは防止される。

#### 【0069】

第3の実施例においては、ストップ用塗化シリコン膜のエッチングにおいてディボットの発生は防止されるが、酸化シリコン膜のエッチングにおいて埋め込み用酸化シリコン膜がエッチングされ、ディボットが発生することは有り得る。

#### 【0070】

図10は、塗化シリコン膜3を後退させることにより、酸化シリコン膜のエッティング時にディボットが発生することを低減することができる第4の実施例を示す。

#### 【0071】

先ず、図7 (A)～図8 (G)までの工程を同様に行なう。

図10 (A)に示すように、塗化シリコン膜8のエッティングをさらに続け、オーバーエッティングする。例えば、厚さ20 nmの塗化シリコン膜8に対して厚さ30 nm分のエッティングを行う。塗化シリコン膜3の側面が約10 nm後退する。

#### 【0072】

図10 (B)に示すように、酸化シリコン膜9 bをH D P C V Dにより成膜する。

図10 (C)に示すように、酸化シリコン膜9 b、5をC M Pにより除去する

。このCMPにおいて、塗化シリコン膜3がストップとして機能する。

### 【0073】

図10（D）に示すように、磷酸ボイルにより塗化シリコン膜3を除去する。

図10（A）の工程において、塗化シリコン膜3の側面を後退させたため、図10（D）の状態において、埋め込み用酸化シリコン膜9は、活性領域の肩部S<sub>h</sub>の端部を幅約10nm覆っている。このため、その後の希フッ酸による酸化シリコン膜エッチング工程において、埋め込み用酸化シリコン膜9がエッチされ、ディボットが形成されることを防止できる。

### 【0074】

図11（A）～（D）は、第5の実施例によるSTIの領域の製造方法を示す。

先ず、第1の実施例同様図2（A）～図3（G）の工程を行なう。

### 【0075】

図11（A）において、塗化シリコン膜8の上部をエッチングした後、希フッ酸で約2000秒間のエッチングを行ない、塗化シリコン膜8に囲まれた酸化シリコン膜9aを除去する。なお、ストップ用塗化シリコン膜3の下に形成したバッファ用酸化シリコン膜2の側面もサイドエッチされる。

### 【0076】

図11（B）に示すように、酸化シリコン膜9を例えば厚さ300nmHDP CVDにより成膜する。この成膜工程において、条件を調節して埋込み特性を劣化させることにより、塗化シリコン膜8で囲まれた狭い空間においてはボイドVが発生するように制御する。トレンチの幅が狭くなると、トレンチ内を完全に埋め込むことが困難になる。本実施例は、トレンチ内の埋め込みが困難になる点を積極的に利用するものである。例えば、シリコン基板1表面から深さ150nm程度の深さにおいてボイドVが形成される。

### 【0077】

図11（C）に示すように、塗化シリコン膜3上の酸化シリコン膜9をCMPにより除去し、表面を平坦化する。1000℃、30分程度のアニールを行い、酸化シリコン膜9を緻密化する。トレンチ下部にボイドVが形成されていても、

アニールされた酸化シリコン膜9は緻密化され、素子分離領域として十分な性能を果たす。

### 【0078】

図11（D）に示すように、磷酸ボイルにより塗化シリコン膜3を除去する。本実施例においては、塗化シリコン膜8よりも上側の素子分離領域は、1回の製膜により形成された酸化シリコン膜9で形成されている。酸化シリコン膜9の下部にはボイドVが存在する。ボイドVの存在により、緻密化された酸化シリコン膜9の圧縮応力が低減する。圧縮応力の低減により、塗化シリコン膜8の引張り応力による効果が増大する。

### 【0079】

図12（A）～（D）は、第6の実施例によるSTI領域の製造方法を示す。第2の実施例同様、図3（G）の塗化シリコン膜エッチング工程において、図6（A）に示すようにオーバーエッチングを行なう。活性領域表面上の塗化シリコン膜3もエッチングされ、その側面は後退する。

### 【0080】

その後、第5の実施例と同様の工程を行なう。

図12（A）に示すように、塗化シリコン膜8に囲まれた領域に残った酸化シリコン膜を約2000秒の希フッ酸処理により除去する。

### 【0081】

図12（B）に示すように、酸化シリコン膜9aを除去したトレンチ内に、酸化シリコン膜9を成膜し、塗化シリコン膜8で囲まれたトレンチ下部にボイドVを形成してトレンチ内を酸化シリコン膜9で埋め込む。

### 【0082】

図12（C）に示すように、CMPを行ない、塗化シリコン膜3上の酸化シリコン膜9を除去する。

図12（D）に示すように、磷酸ボイルにより塗化シリコン膜3を除去する。図に示すように、活性領域の肩部Shは、酸化シリコン膜9で覆われた形状となる。その後行なわれる希フッ酸による酸化シリコン膜のエッチングにおいて、酸化シリコン膜9がエッチされても、STI端部におけるディボットの発生を防止

できる。

#### 【0083】

図13は、ライナー用塗化シリコン膜をシリコン基板表面から沈み込ませる構成において、ドレイン電流がどのように変化するかをサンプルによって調べた結果を示す。

#### 【0084】

図13（A）は、サンプルの平面形状を示す。活性領域の幅Lは $1 \mu\text{m}$ であり、ゲート電極のゲート長は $1 \mu\text{m}$ である。ソース／ドレイン領域の電流方向の幅Wを $0.3 \sim 5 \mu\text{m}$ で変化させた。断面構成は、実施例のようにS T I構造の塗化シリコン膜を基板表面から沈み込ませ(リセスさせ)、リセス量の異なるサンプルを形成し、活性領域にMOSトランジスタを形成したものである。

#### 【0085】

図13（B）は、電流方向のソース／ドレイン領域の幅Wを $0.3 \mu\text{m}$ に設定したサンプルの測定結果である。図中横軸はMOSトランジスタがオン状態のドレイン電流 $I_{on}$ を示し、縦軸はMOSトランジスタがオフ状態のドレイン電流 $I_{off}$ を示す。

#### 【0086】

「ライナー無し」は、塗化シリコン膜のライナーを形成しなかったサンプルを示す。「リセス0nm」は、塗化膜ライナーをリセスしなかったサンプルである。「リセス50nm」、「リセス100nm」は、シリコン基板表面から塗化シリコン膜をそれぞれ50nm、100nmリセスさせたサンプルである。

#### 【0087】

図から明らかなように、ライナーを設けることによりオン電流 $I_{on}$ は増加しており、さらにリセスの増大と共にオン電流 $I_{on}$ が増加している。

図13（C）、（D）、（E）は、それぞれソース／ドレイン領域の幅Wを $0.5 \mu\text{m}$ 、 $1 \mu\text{m}$ 、 $5 \mu\text{m}$ に設定したサンプルの測定結果を示す。

#### 【0088】

ソース／ドレイン領域の幅Wが増大するにつれ、ライナーの効果は減少していくように観察される。しかしながら、塗化膜ライナーを設けることにより、明か

にドレイン電流  $I_{Dn}$  は増大している。さらに、リセス量依存性も見られる。これらの結果から、図1に示した解析がほぼ正しいことが類推される。

### 【0089】

図14は、上述の実施例により形成したMOSトランジスタを含む集積回路装置の構成を示す断面図である。シリコン基板1表面に、素子分離用トレンチが形成され、シャロートレンチアイソレーション(STI)9が形成されている。STIにより画定された活性領域内にトランジスタTR1、TR2が形成されている。これらのSTI、トランジスタは、上述の実施例に従って形成したものである。

### 【0090】

トランジスタを埋め込むように、第1層間絶縁膜IL1が形成され、導電性プラグPL、第1配線層W1が層間絶縁膜IL1中に埋め込まれて形成されている。第1配線層W1上に窒化シリコン膜等のエッチストップ層ES1が形成され、その上に第2層間絶縁膜IL2が形成されている。第2層間絶縁膜IL2、エッチングストップ層ES1を通って、第2配線層W2がダマシン構造により形成されている。

### 【0091】

同様、第2層間絶縁膜IL2上に、エッチストップ層ES2、その上に層間絶縁膜IL3、エッチストップ層ES3、層間絶縁膜IL4、エッチストップ層ES4、層間絶縁膜IL5、エッチストップ層ES5、層間絶縁膜IL6、エッチストップ層ES6が積層され、その上にさらに保護膜PSが形成されている。これらの絶縁積層を通って、配線層W3、W4、W5、W6が形成され、最表面には、接続パッドPDが接続されている。

### 【0092】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組合せが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

### 【0093】

(付記1) (a) 半導体基板表面に素子分離用トレンチ形成のための窓を

有する第1の塗化シリコン膜を含むパターンを形成する工程と、

(b) 前記パターンをマスクとして、前記半導体基板をエッチングして素子分離用トレンチを形成する工程と、

(c) 前記素子分離用トレンチの内面を覆うように第2の塗化シリコン膜を堆積する工程と、

(d) 前記第2の塗化シリコン膜を覆い、トレンチを埋め込むように第1の酸化シリコン膜を形成する工程と、

(e) 前記第1の酸化シリコン膜をエッチングし、トレンチ内上部の前記第1の酸化シリコン膜を除去する工程と、

(f) 露出した前記第2の塗化シリコン膜をエッチングして除去する工程と、

(g) 前記トレンチを埋め込むように第2の酸化シリコン膜を形成する工程と

(h) 前記第1の塗化シリコン膜をストップとして、前記第2の酸化シリコン膜を化学機械研磨する工程と、

(i) 露出した前記第1の塗化シリコン膜をエッチングして除去する工程と、  
を含む半導体装置の製造方法。

#### 【0094】

(付記2) (2) さらに、

(e) 前記工程(f)の前に、前記第2の塗化シリコン膜上の前記第1の酸化シリコン膜を化学機械研磨し、平坦な表面を形成する工程、  
を含む付記1記載の半導体装置の製造方法。

#### 【0095】

(付記3) 前記工程(f)は、希フッ酸またはCFを含むガスを用いた化学ドライエッチングを用いて行われる付記1記載の半導体装置の製造方法。

(付記4) 前記工程(g)は、熱磷酸を用いて行われる付記1記載の半導体装置の製造方法。

#### 【0096】

(付記5) (3) 前記工程(g)は、前記半導体基板表面から80~150nmまでの前記第2の塗化シリコン膜を除去する付記1記載の半導体装置の製

造方法。

#### 【0097】

(付記6) 前記第2の塗化シリコン膜の厚さが、20～40nmである付記1記載の半導体装置の製造方法。

(付記7) (4) さらに、

(k) 前記工程(d)の後、アニールして前記第1の酸化シリコン膜の粗密差を減少させる工程、

を含む付記1記載の半導体装置の製造方法。

#### 【0098】

(付記8) (5) さらに、

(k) 前記工程(h)の後、アニールして前記第2の酸化シリコン膜を緻密化する工程、

を含む付記1記載の半導体装置の製造方法。

#### 【0099】

(付記9) (6) 前記工程(g)が、露出した前記第2の塗化シリコン膜をエッティングした後、さらにオーバーエッチを行い、活性領域上の前記第1の塗化シリコン膜の側面を後退させると共に、上面も低下させる付記1記載の半導体装置の製造方法。

#### 【0100】

(付記10) 前記側面の後退量は、6nm～12nmである付記8記載の半導体装置の製造方法。

(付記11) (7) 前記工程(a)が、前記第1の塗化シリコン膜の上にエッティング特性の異なるカバー層を積層し、前記工程(g)が、露出した前記第2の塗化シリコン膜をエッティングした後、さらにオーバーエッチを行い、活性領域上の前記第1の塗化シリコン膜の上面は低下させずに、側面を後退させる付記1記載の半導体装置の製造方法。

#### 【0101】

(付記12) 前記カバー層が酸化シリコン層である付記10記載の半導体装置の製造方法。

(付記13) 前記工程(h)が、トレンチ下部に前記第1の酸化シリコン膜を残したまま、その上に第2の酸化シリコン膜を形成する付記1記載の半導体装置の製造方法。

#### 【0102】

(付記14) (8) さらに、

(1) 前記工程(g)の後、前記工程(h)の前にトレンチ下部に残っている前記第1の酸化シリコン膜を除去する工程、  
を含み、前記工程(h)が、前記第2の窒化シリコン膜で囲まれた領域にボイドを形成するように前記第2の酸化シリコン膜を形成する付記1記載の半導体装置の製造方法。

#### 【0103】

(付記15) (9) 半導体基板と、

前記半導体基板表面から内部に形成された素子分離用トレンチと、  
前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成された窒化シリコン膜のライナーと、

前記窒化シリコン膜のライナーで囲まれた領域に形成され、トレンチの下部を埋める第1の酸化シリコン膜と、

前記第1の酸化シリコン膜の上に形成されトレンチの上部を埋める第2の酸化シリコン膜と、

前記トレンチに囲まれた活性領域と、  
を有する半導体装置。

#### 【0104】

(付記16) 前記窒化シリコンのライナーが、基板表面から80nm～150nm沈み込んでいる付記15記載の半導体装置。

(付記17) 前記窒化シリコンのライナーが、厚さ20nm～40nmを有する付記15記載の半導体装置。

#### 【0105】

(付記18) 前記第2の酸化シリコン膜が、前記活性領域端部を覆う付記15記載の半導体装置。

(付記19) 前記トレンチの幅が100nm以下である付記15記載の半導体装置。

#### 【0106】

(付記20) (10) 半導体基板と、  
前記半導体基板表面から内部に形成された素子分離用トレンチと、  
前記半導体基板表面から引き下り、前記トレンチ内面の下部を覆うように形成  
された塗化シリコン膜のライナーと、  
前記塗化シリコン膜のライナーで囲まれた領域にボイドを形成して、トレンチ  
を埋める酸化シリコン膜と、  
前記トレンチに囲まれた活性領域と、  
を有する半導体装置。

#### 【0107】

(付記21) 前記塗化シリコンのライナーが、基板表面から80nm～1  
50nm沈み込んでいる付記20記載の半導体装置。  
(付記22) 前記塗化シリコンのライナーが、厚さ20nm～40nmを  
有する付記20記載の半導体装置。

#### 【0108】

(付記23) 前記第2の酸化シリコン膜が、前記活性領域端部を覆う付記  
20記載の半導体装置。

(付記24) 前記トレンチの幅が100nm以下である付記20記載の半  
導体装置。

#### 【0109】

##### 【発明の効果】

以上説明したように、本発明によれば、塗化シリコン膜の引張り応力により、  
ドレイン電流を増大させることができる。

#### 【0110】

さらに、活性領域側部のディボット発生を防止することにより、寄生トランジ  
スタの発生を低減することも可能である。

##### 【図面の簡単な説明】

【図1】 本発明者のシミュレーションによる解析結果を示すグラフである。

。

【図2】 第1の実施例によるSTI製造方法を示す断面図である。

【図3】 第1の実施例によるSTI製造方法を示す断面図である。

【図4】 第1の実施例によるSTI製造方法を示す断面図である。

【図5】 活性領域に形成した半導体素子の構成を示す平面図及び断面図である。

【図6】 第2の実施例によるSTI製造方法を示す断面図である。

【図7】 第3の実施例によるSTI製造方法を示す断面図である。

【図8】 第3の実施例によるSTI製造方法を示す断面図である。

【図9】 第3の実施例によるSTI製造方法を示す断面図である。

【図10】 第4の実施例によるSTI製造方法を示す断面図である。

【図11】 第5の実施例によるSTI製造方法を示す断面図である。

【図12】 第6の実施例によるSTI製造方法を示す断面図である。

【図13】 サンプルによる測定結果を示すグラフである。

【図14】 半導体集積回路装置の構成を概略的に示す断面図である。

【図15】 従来技術によるSTI製造方法を示す断面図である。

【図16】 従来技術によるSTI製造方法を示す断面図である。

【符号の説明】

- 1 半導体（シリコン）基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 レジストパターン
- 6 トレンチ
- 7 酸化シリコン膜（ライナー）
- 8 窒化シリコン膜（ライナー）
- 9 酸化シリコン膜(素子分離領域)
- 10 ウエル
- 11 ゲート酸化膜

## 12 多結晶シリコン層

r リセス量

V ボイド

A R 活性領域

S h 活性領域の肩部

G ゲート電極

S/D ソース／ドレイン領域

P t ポケット領域

W ウエル

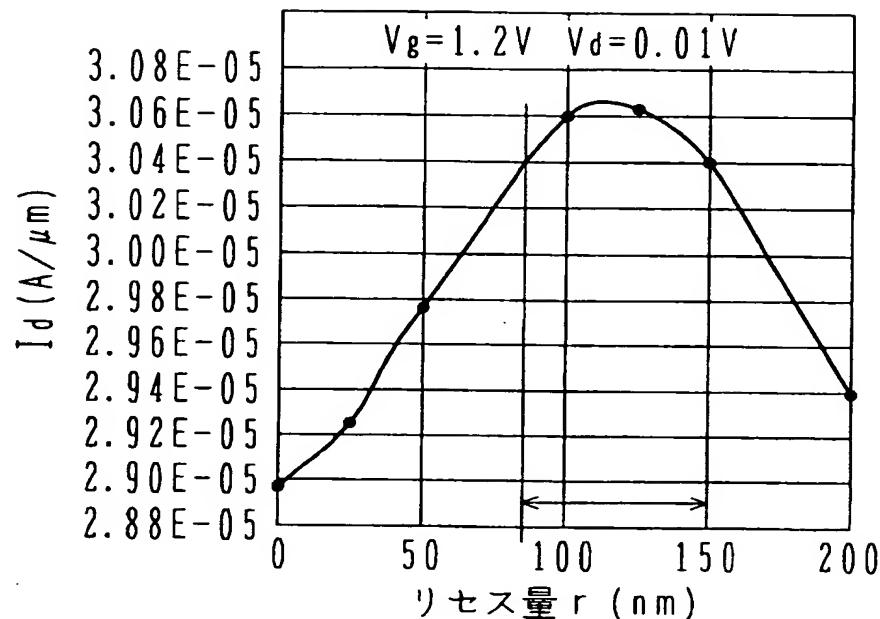
E x エクステンション領域

S W サイドウォールスペーサ

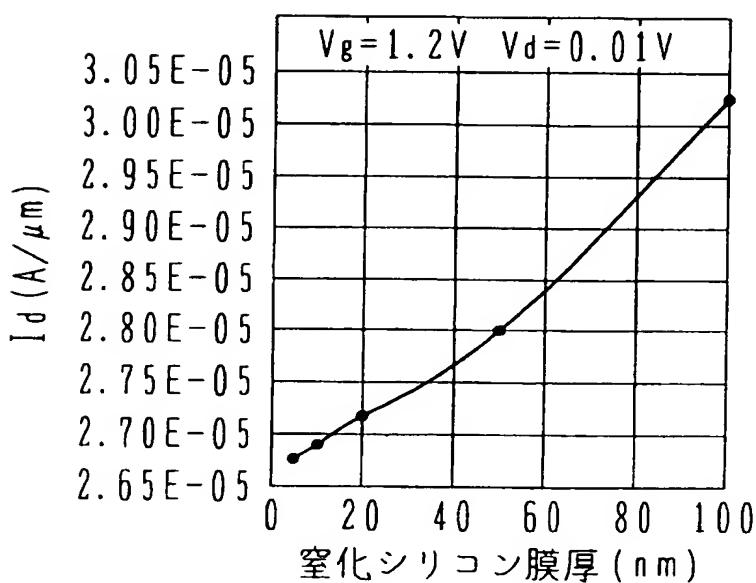
【書類名】 図面

【図1】

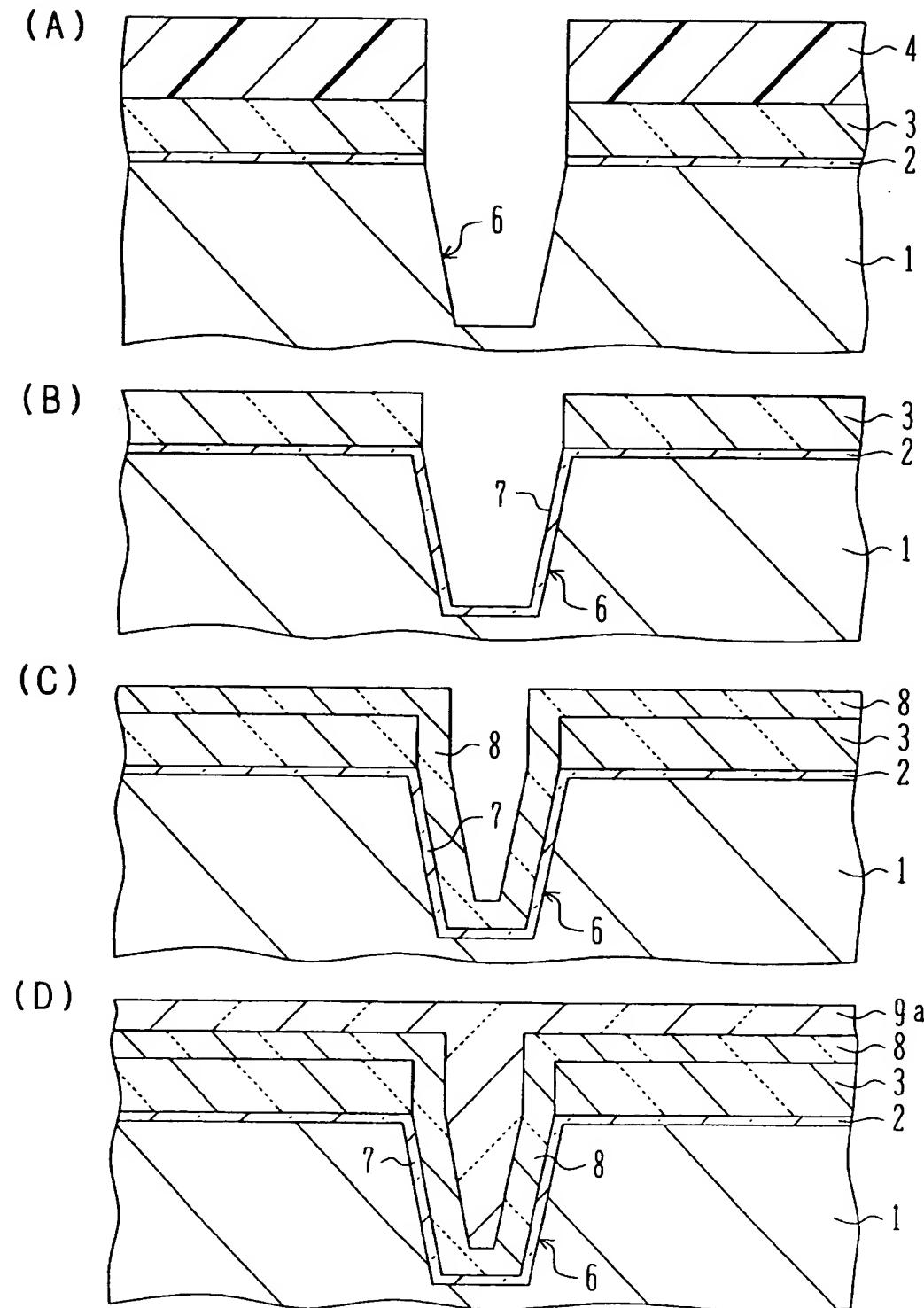
(A)



(B)

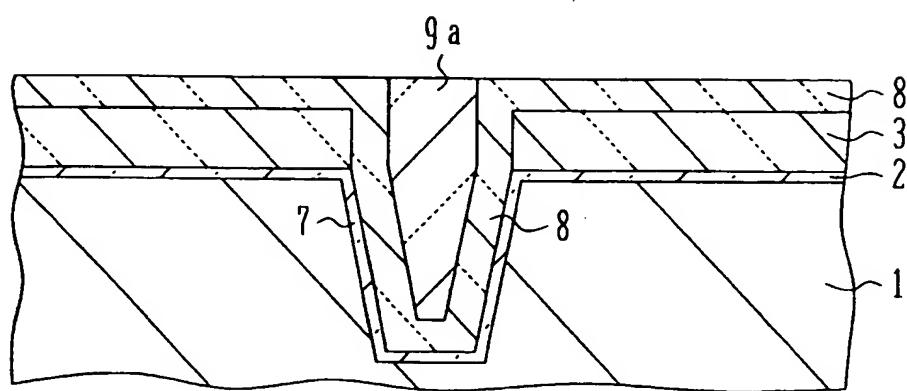


【図 2】

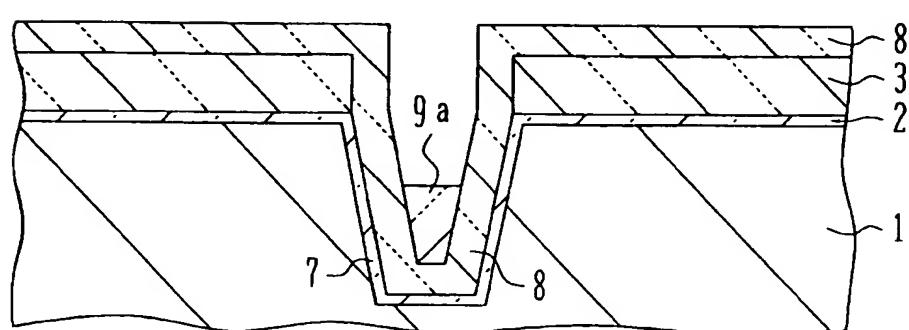


【図3】

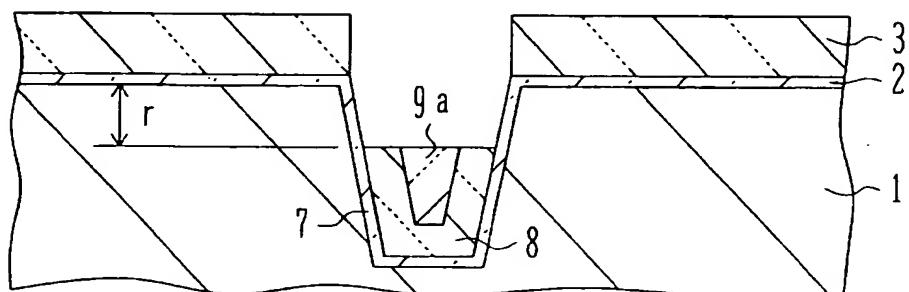
(E)



(F)

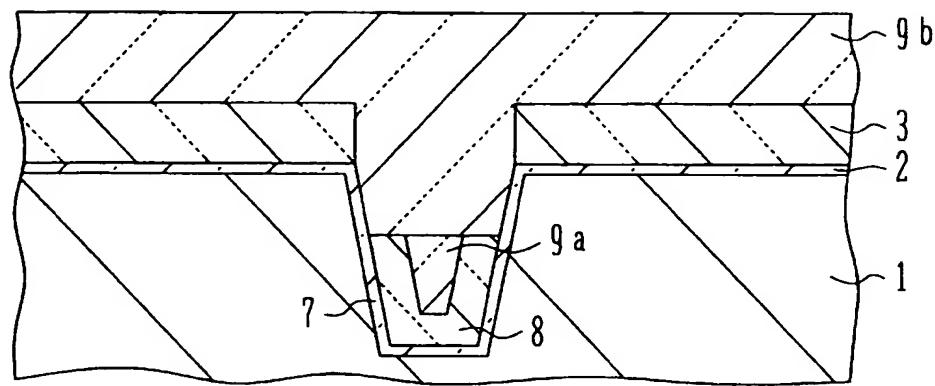


(G)

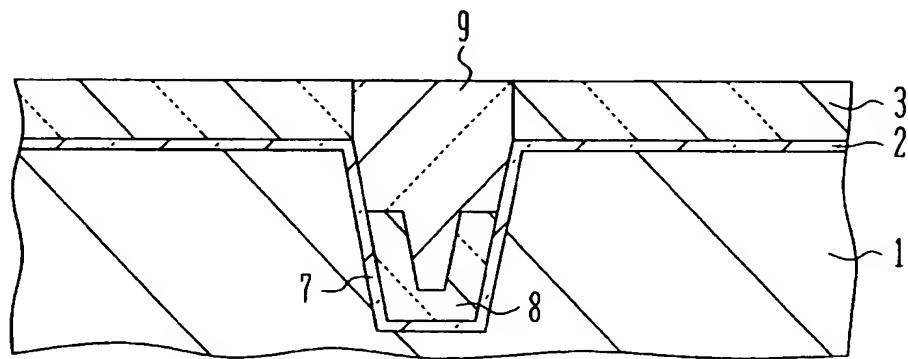


【図 4】

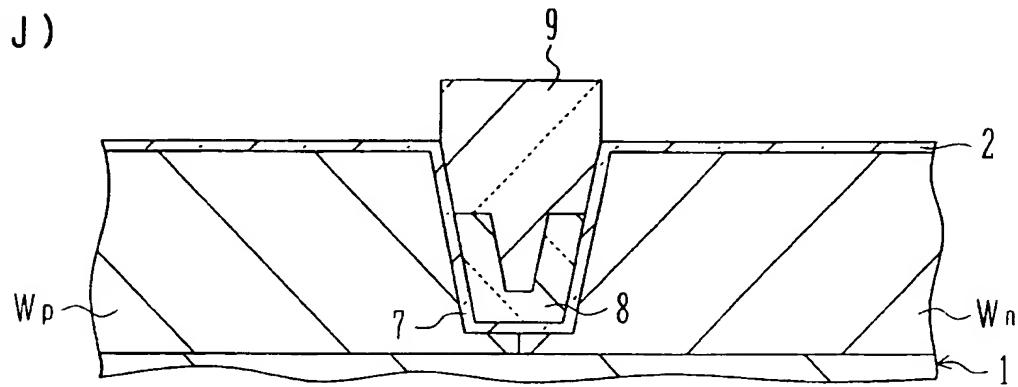
(H)



(I)

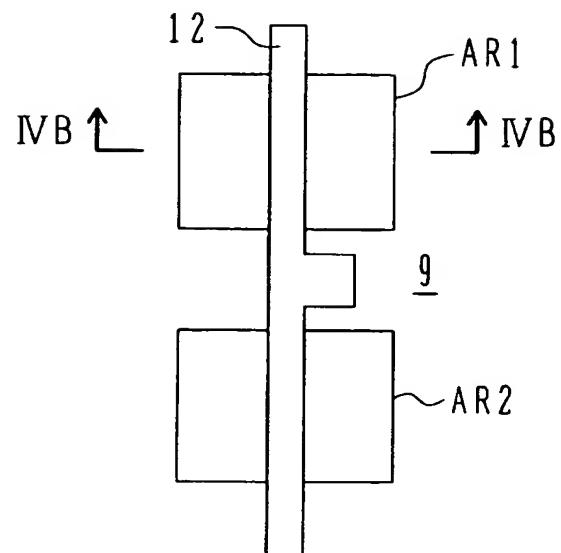


(J)

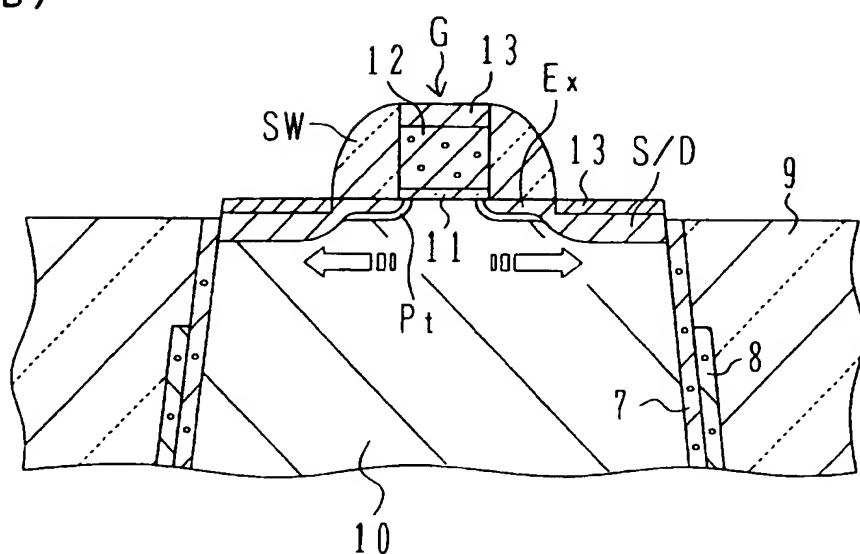


【図5】

(A)

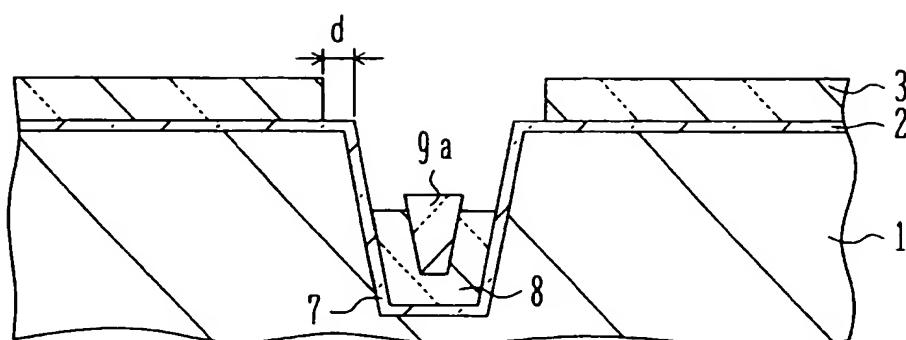


(B)

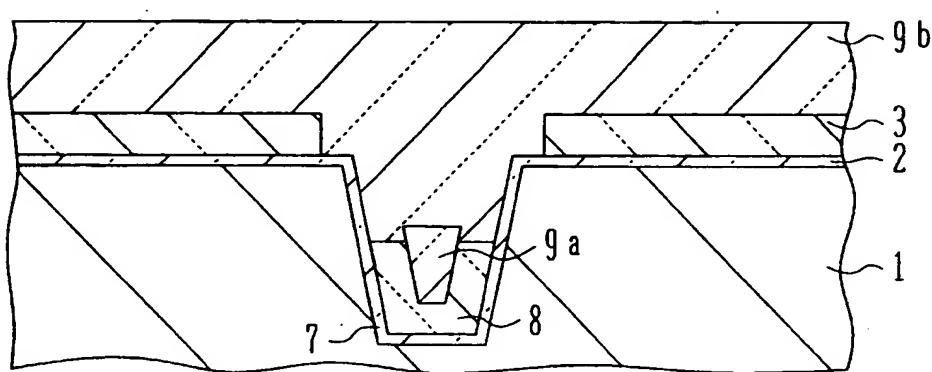


【図 6】

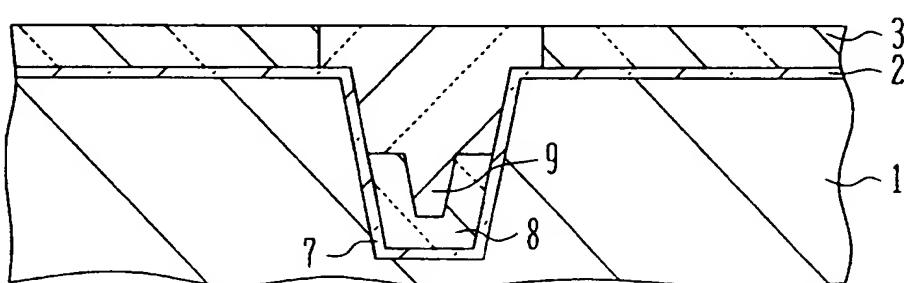
(A)



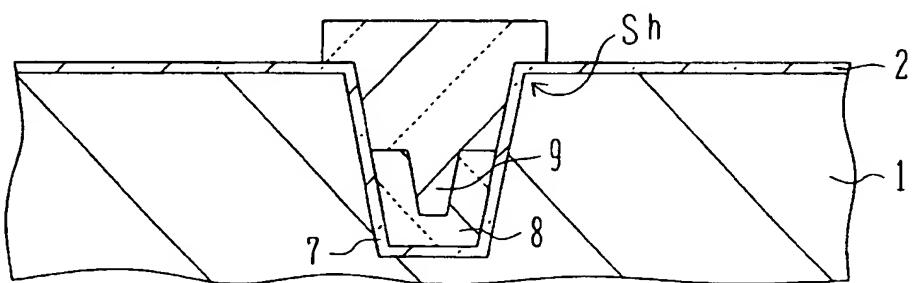
(B)



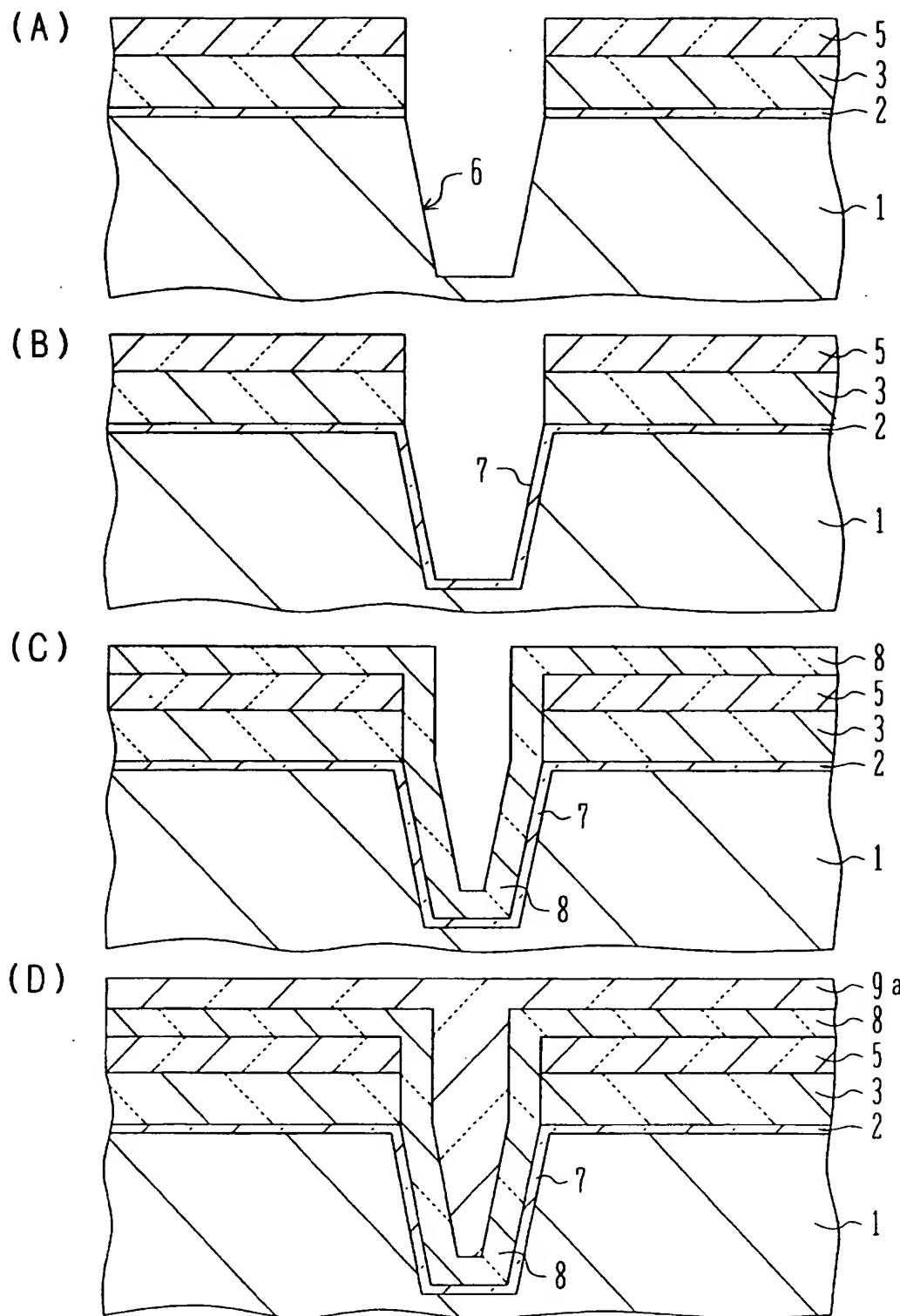
(C)



(D)

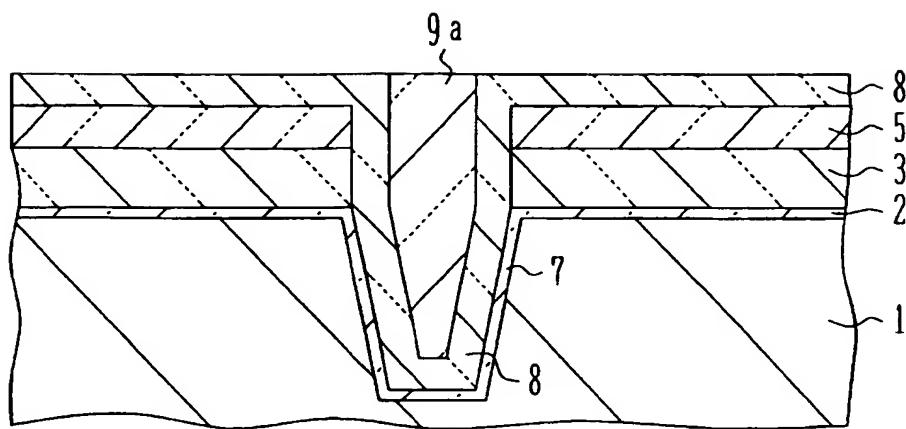


【図7】

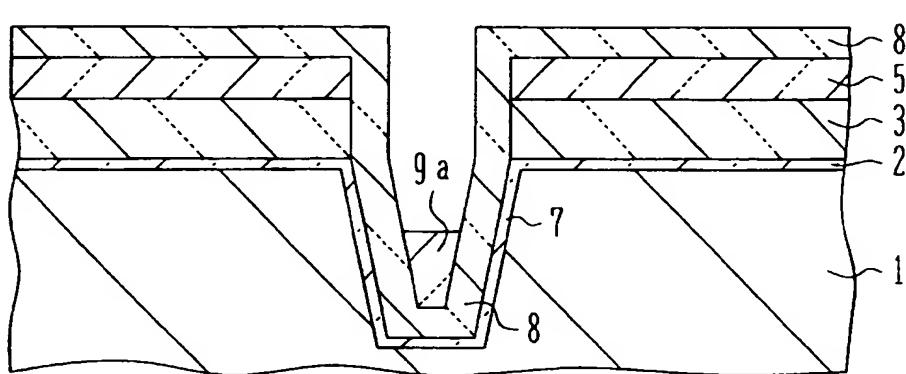


【図 8】

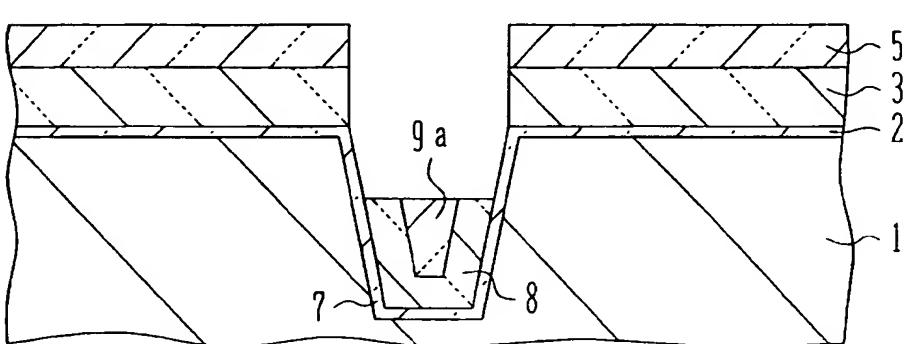
(E)



(F)

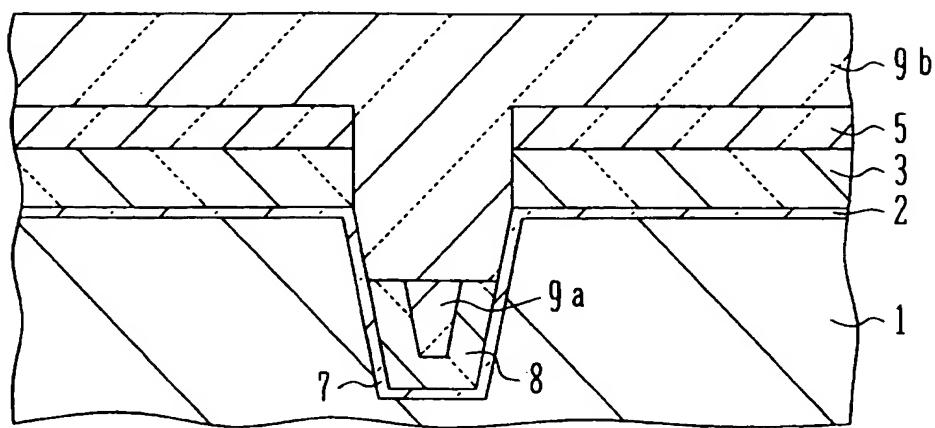


(G)

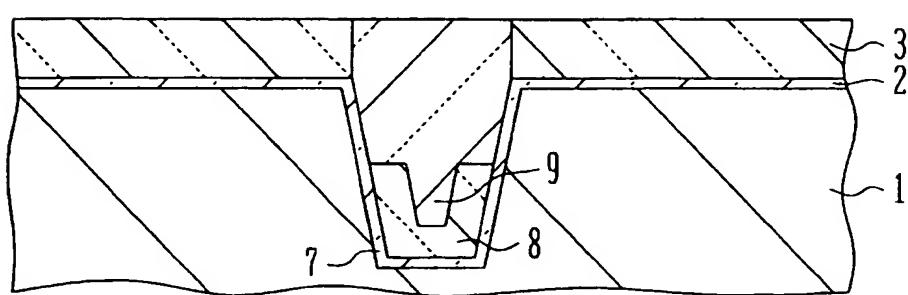


【図9】

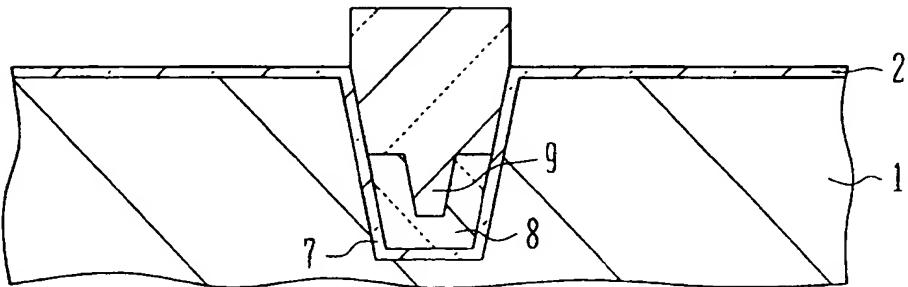
(H)



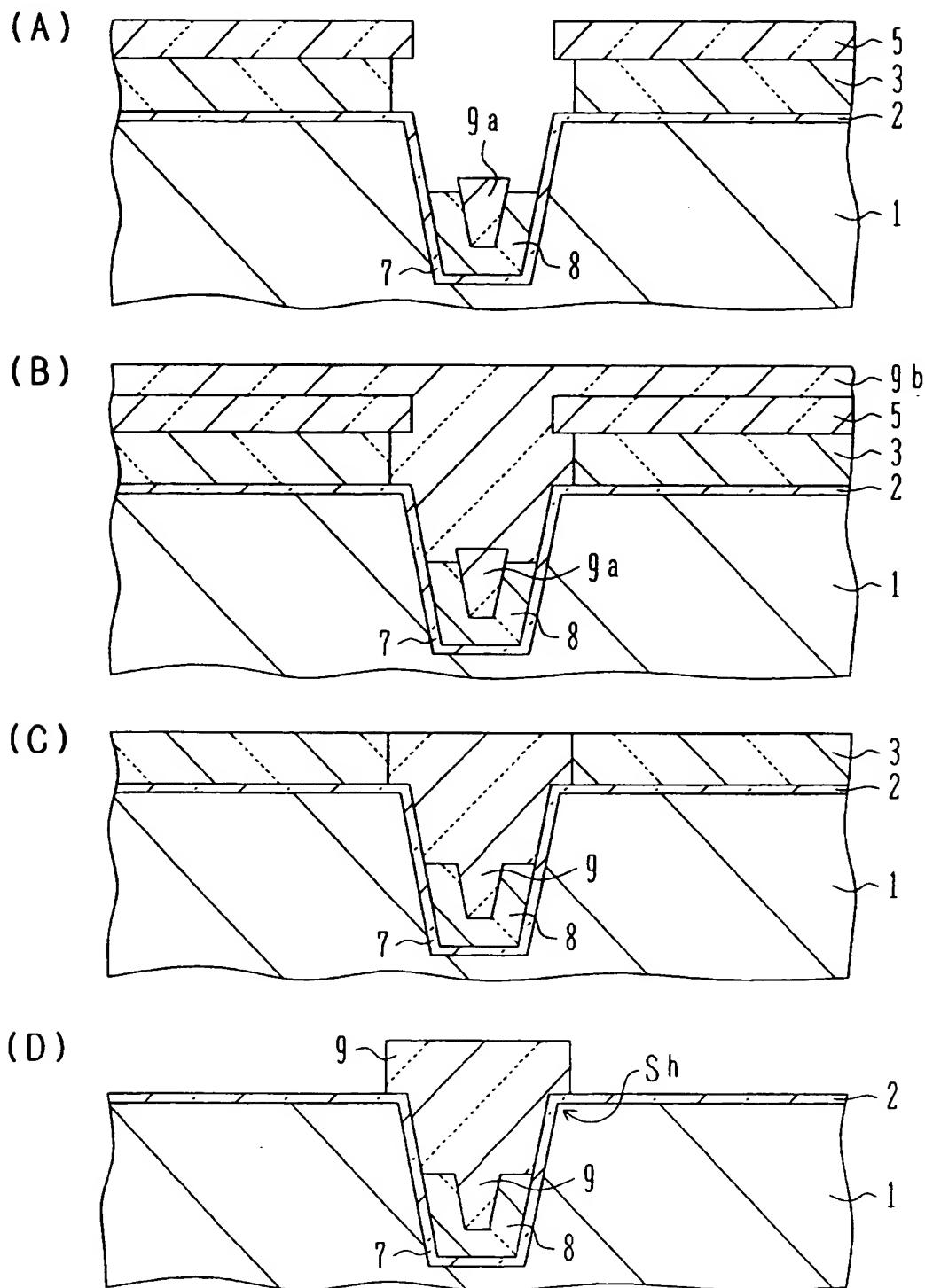
(I)



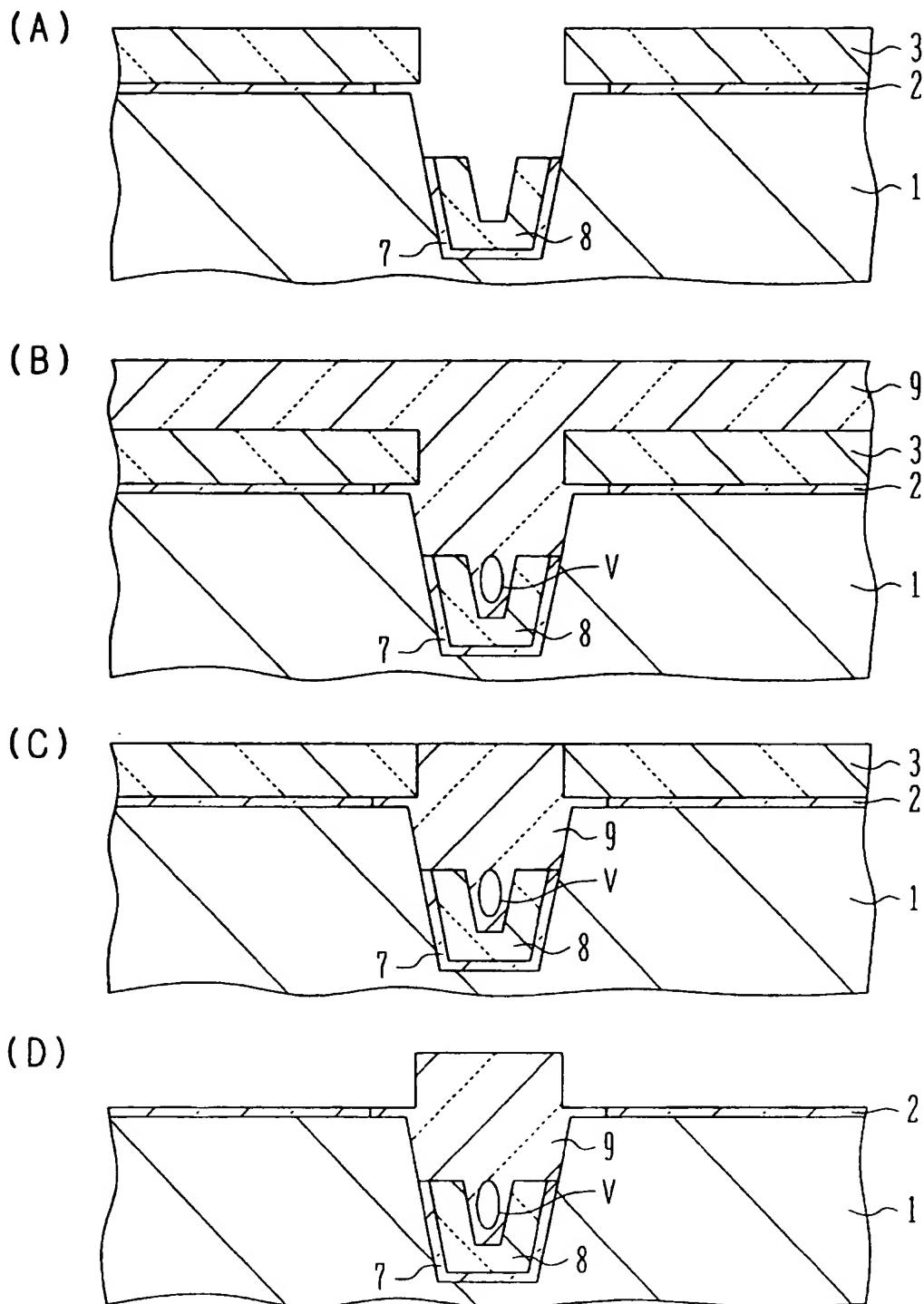
(J)



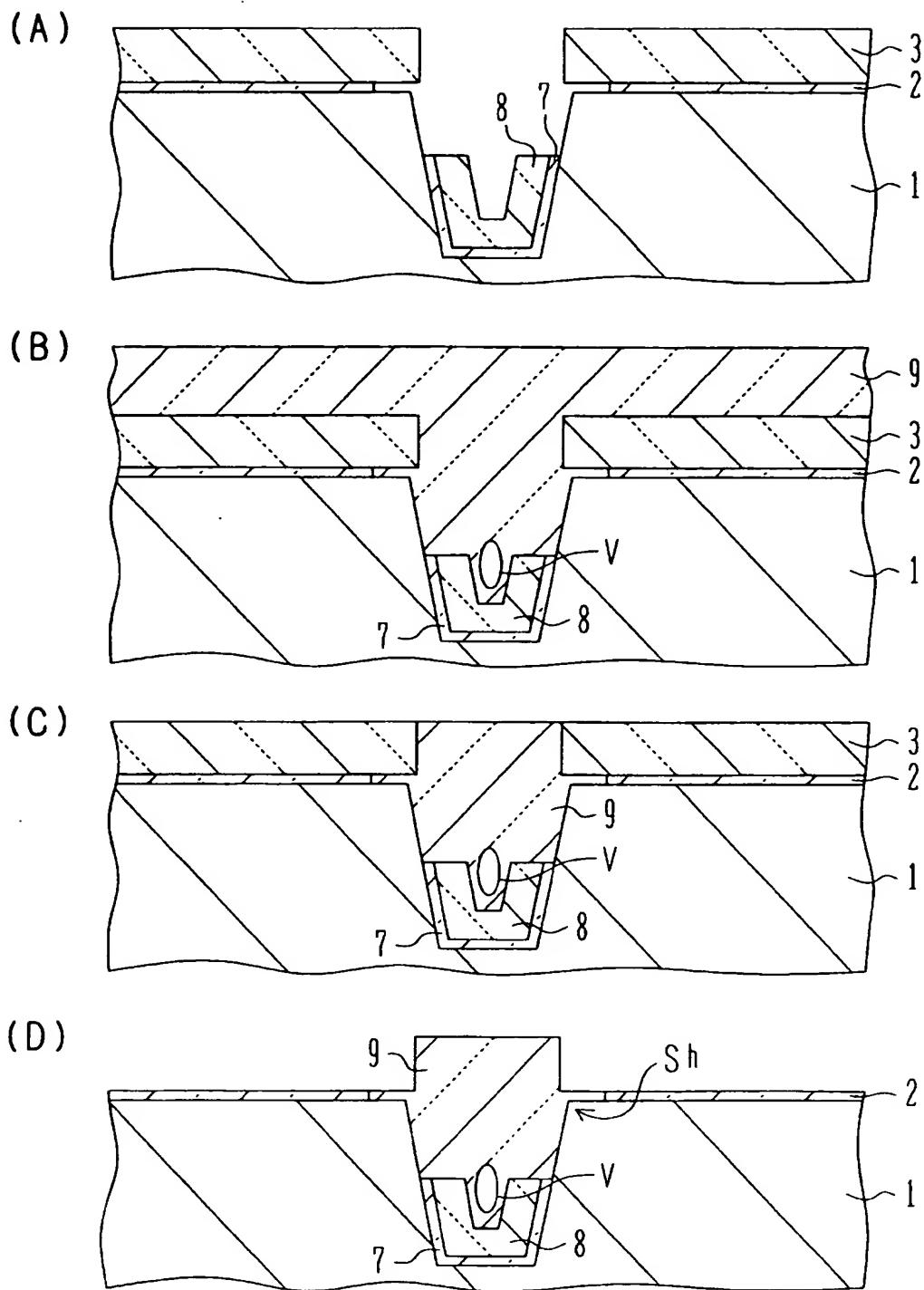
【図10】



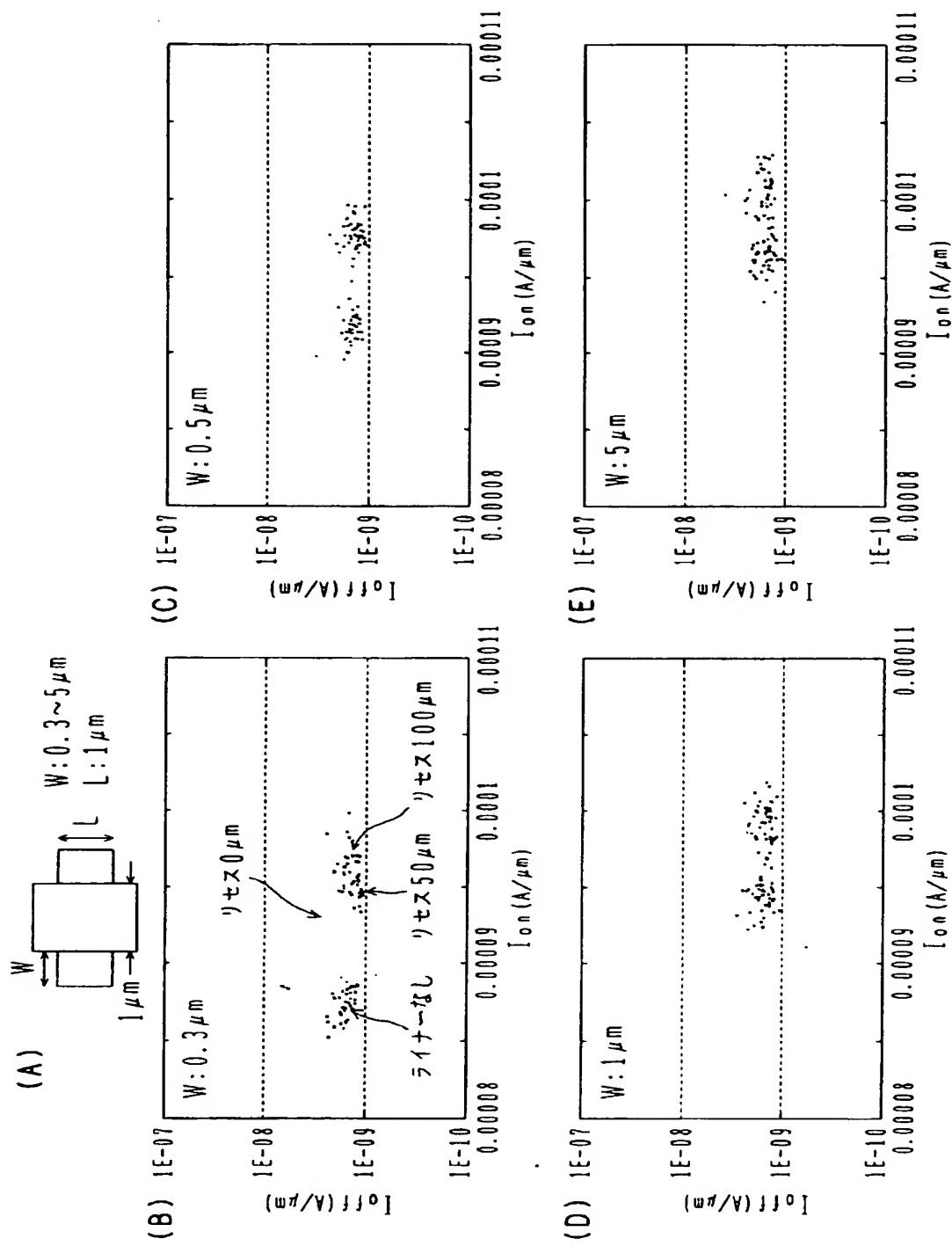
【図11】



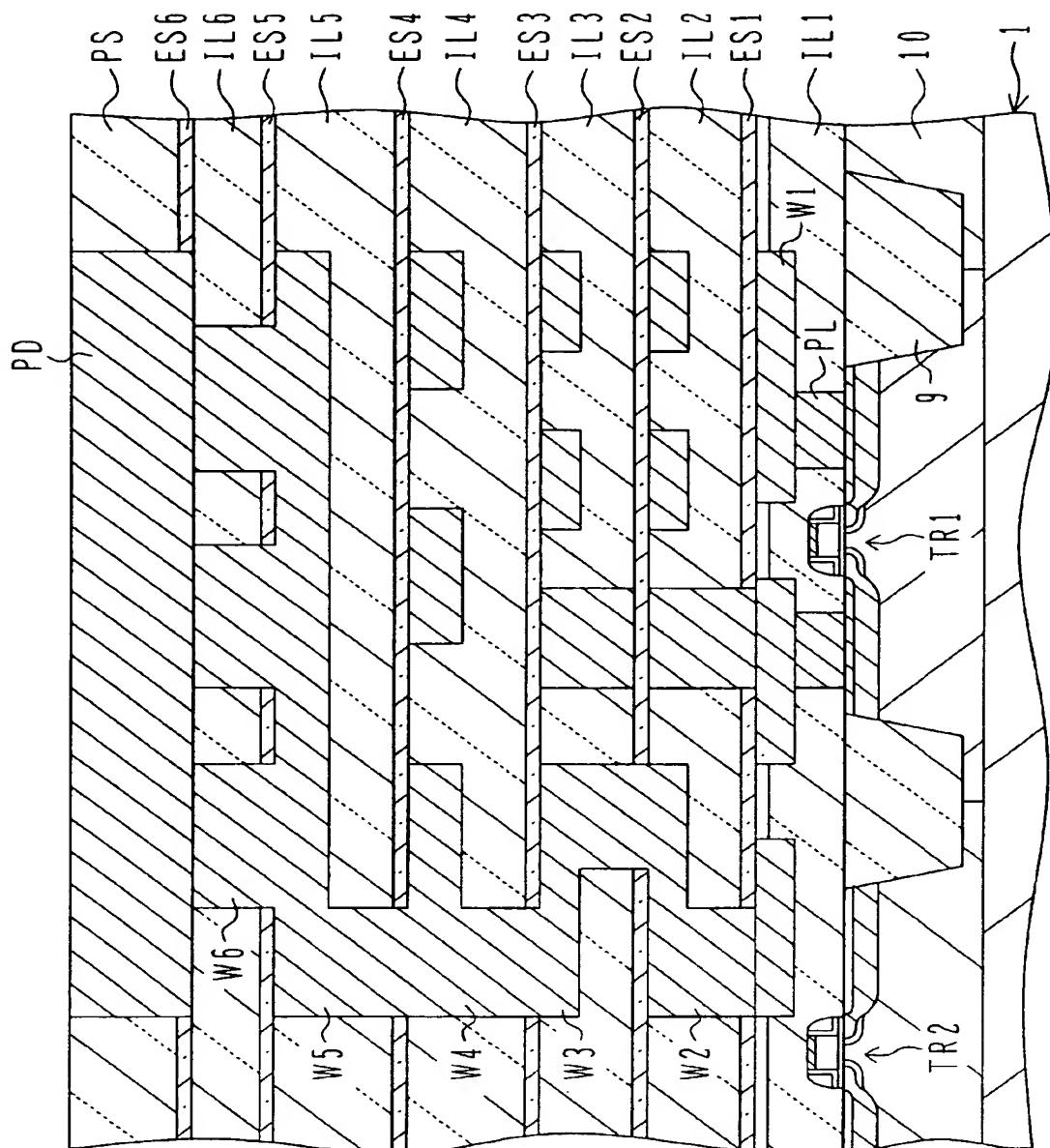
【図12】



【図13】

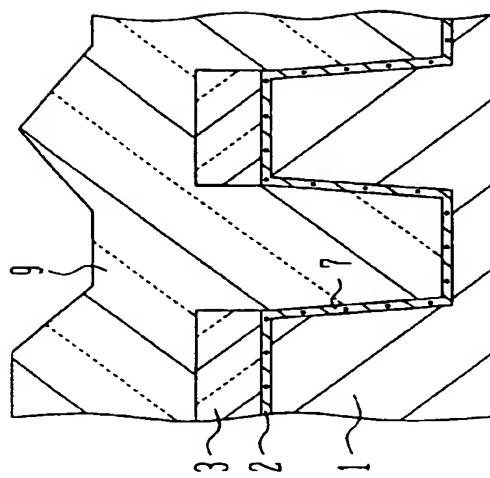


【図14】

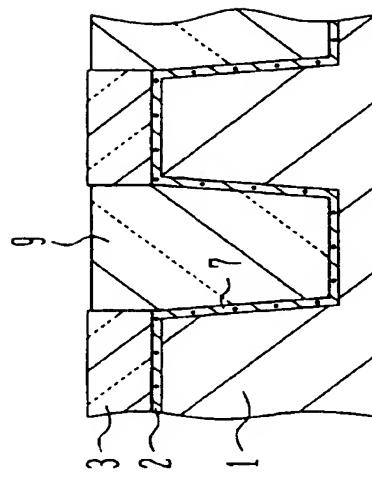


【図15】

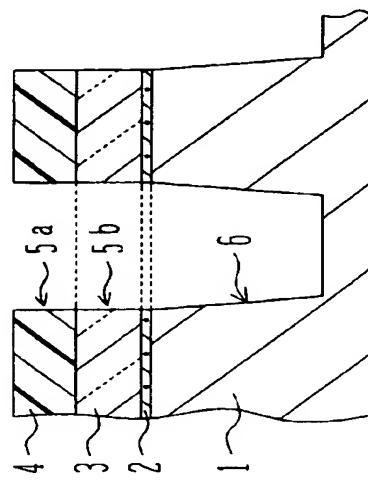
## 従来技術



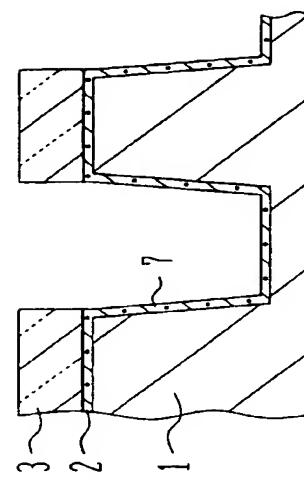
(C)



(C)



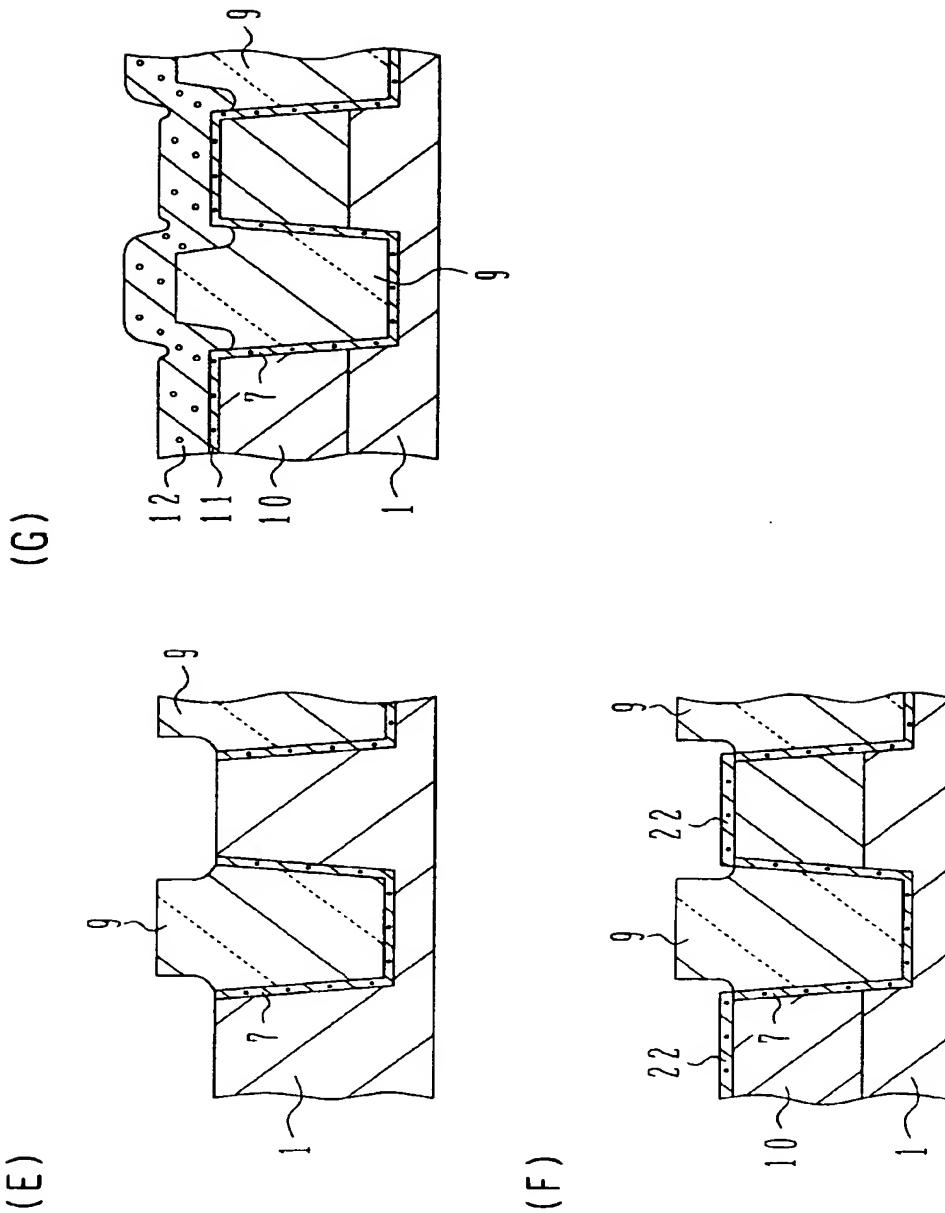
(A)



(B)

【図16】

## 従来技術



【書類名】

要約書

【要約】

【課題】 良好なトランジスタ特性が得られる、S T I を用いた半導体装置の製造方法を提供する。

【解決手段】 半導体装置の製造方法は、窓を有する第1の塗化シリコン膜を含むパターンをマスクとして、半導体基板をエッティングして素子分離用トレンチを形成する工程と、トレンチの内面を覆うように第2の塗化シリコン膜を堆積する工程と、トレンチを埋め込むように第1の酸化シリコン膜を形成する工程と、トレンチ内上部の第1の酸化シリコン膜をエッティングし、除去する工程と、露出した第2の塗化シリコン膜をエッティングして除去する工程と、トレンチを埋め込むように第2の酸化シリコン膜を形成する工程と、第2の酸化シリコン膜を化学機械研磨する工程と、露出した第1の塗化シリコン膜をエッティングして除去する工程と、を含む。

【選択図】 図3

特願2002-376009

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社